

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07038544 A**

(43) Date of publication of application: **07.02.95**

(51) Int. Cl.

H04L 7/00

(21) Application number: **05183907**

(22) Date of filing: **26.07.93**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(72) Inventor: **YOKOYAMA MORIMASA
TAYA TAKASHI
YOSHIDA SATOSHI**

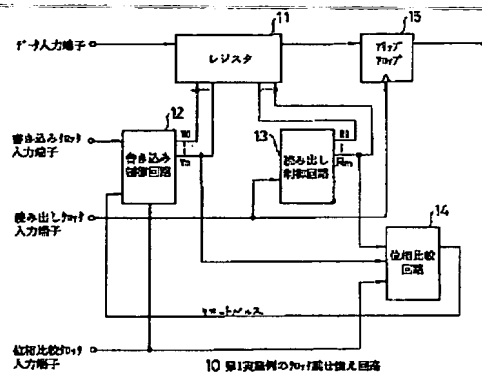
(54) **CLOCK CHANGING CIRCUIT**

(57) Abstract:

PURPOSE: To enlarge a phase margin until reset is conducted.

CONSTITUTION: A clock change is performed by writing input data in a register 11 corresponding to a write control signal, which is generated by a write control means 12 based on a write clock, and reading the data from the register corresponding to a read control signal which is generated by a read control means 13 based on a read clock. A phase comparing means 14 compares the phase relation between the two signals of comparative targets based on a phase comparing clock synchronized with the write clock or the read clock and provided with the integer-multiple of frequency of that clock and in the case of the almost same phase, a control means is reset. Namely, the phase comparison is provided between the narrow terms of the write and read control signals so as to enlarge the phase margin until reset is conducted.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38544

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl.⁹

H 0 4 L 7/00

識別記号

庁内整理番号

A 7741-5K

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平5-183907

(22) 出願日 平成5年(1993)7月26日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 横山 司昌

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 太矢 隆士

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 吉田 聡

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

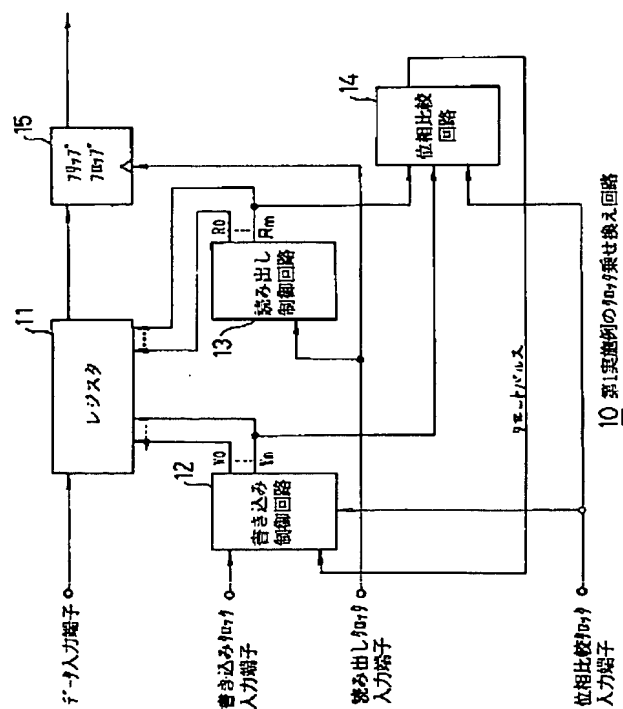
(74) 代理人 弁理士 工藤 宣幸 (外2名)

(54) 【発明の名称】 クロック乗せ換え回路

(57) 【要約】

【目的】 リセットがかかるまでの位相余裕を大きくする。

【構成】 書き込み制御手段12が書き込みクロックに基づいて生成した書き込み制御信号によって入力データをレジスタ11に書き込み、読み出し制御手段13が読み出しクロックに基づいて生成した読み出し制御信号によってレジスタからデータを読み出してクロック乗せ換えを行なう。位相比較手段14は、書き込みクロック又は読み出しクロックに同期したそのクロックの整数倍の周波数を有する位相比較クロックに基づいて、比較対象の2個の信号の位相関係を比較し、ほぼ同相のとき一方の制御手段をリセットさせる。すなわち、書き込み制御信号及び読み出し制御信号の狭い期間同士での位相比較を実現しており、これにより、リセットがかかるまでの位相余裕を大きくしている。



10 図1実施例の10の位相乗せ換え回路

【特許請求の範囲】

【請求項1】 書き込み制御手段が書き込みクロックに基づいて生成した書き込み制御信号によって入力データをレジスタに書き込むと共に、読み出し制御手段が読み出しクロックに基づいて生成した読み出し制御信号によってレジスタからデータを読み出してクロック乗せ換えを行なうものであって、位相比較手段が、書き込み制御信号及び読み出し制御信号の位相関係を比較し、その位相関係が所定の位相関係のときに書き込み制御手段又は読み出し制御手段の一方をリセットするクロック乗せ換え回路において、

上記位相比較手段が、書き込みクロック又は読み出しクロックに同期したそのクロックの整数倍の周波数を有する位相比較クロックに基づいて、書き込み制御信号及び読み出し制御信号の位相関係を比較することを特徴とするクロック乗せ換え回路。

【請求項2】 上記レジスタの前段側にシリアル／パラレル変換手段を備え、このシリアル／パラレル変換手段に与える入力用シリアルクロックを、上記位相比較手段が位相比較クロックとして用いることを特徴とした請求項1に記載のクロック乗せ換え回路。

【請求項3】 上記レジスタの後段側にパラレル／シリアル変換手段を備え、このパラレル／シリアル変換手段に与える出力用シリアルクロックを、上記位相比較手段が位相比較クロックとして用いることを特徴とした請求項1に記載のクロック乗せ換え回路。

【請求項4】 書き込み制御手段が書き込みクロックに基づいて生成した書き込み制御信号によって入力データをレジスタに書き込むと共に、読み出し制御手段が読み出しクロックに基づいて生成した読み出し制御信号によってレジスタからデータを読み出してクロック乗せ換えを行なうものであって、位相比較手段が、書き込み制御信号及び読み出し制御信号の位相関係を比較し、その位相関係が所定の位相関係のときに書き込み制御手段又は読み出し制御手段の一方をリセットするクロック乗せ換え回路において、

上記位相比較手段が、書き込み制御信号又は読み出し制御信号の一方が所定の位相状態にあるとき、書き込みクロック及び読み出しクロックの周期より十分に小さいパルス幅を有する検出パルスを形成する検出パルス形成部と、この検出パルスに基づいて、書き込み制御信号又は読み出し制御信号の他方が所定の位相状態にあることを判定して書き込み制御手段又は読み出し制御手段の一方をリセットさせる位相関係判定部とからなることを特徴とするクロック乗せ換え回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、あるクロック位相で位相が定まっている入力データを上記クロックとは異なる位相を有するクロックに乗せ換えるクロック乗せ換え回

路に関し、例えば、高速通話路におけるビット同期回路に適用し得るものである。

【0002】

【従来の技術】 例えば、伝送路系クロックに同期したデータを通信装置内に取り込むためには、装置内系クロックに乗せ換える必要があり、そのため、クロック乗せ換え回路が設けられている。

【0003】 従来、この種のクロック乗せ換え回路としては、文献『大塚祥広、及川義則著、「高速通話路におけるビット同期回路構成法」、電子情報通信学会技術研究報告：SSE89-114』等に記載されているものがある。

【0004】 図示は省略するが、従来のクロック乗せ換え回路においては、書き込み制御回路に書き込みクロックを与え、この書き込み制御回路の出力パルスによってデータをレジスタに順次書き込み、一方、読み出し制御回路に読み出しクロックを与え、この読み出し制御回路の出力パルスによってレジスタからデータを順次読み出すことでクロック乗り換えを行なうと共に、この際、位相比較回路で、書き込み制御回路の出力パルス及び読み出し制御回路の出力パルスの位相関係を比較し、その位相関係がほぼ同相のときに書き込み制御回路をリセットして書き込み制御回路（からの出力パルス）の位相を変えるものであった。

【0005】 後者の動作は、ほぼ同相の場合にそのままにしておくと、レジスタから読み出されたデータを書き込まれたデータと比較した場合に、欠落や重複（スリップ）が頻繁に繰り返される恐れがあるために行なうものである。

【0006】 なお、例えば、位相比較は、レジスタの特定のエリアに対する書き込みを指示する書き込み制御回路の出力パルスと、そのエリアから読み出しを指示する読み出し制御回路の出力パルスとで行なう。

【0007】

【発明が解決しようとする課題】 しかし、従来のクロック乗せ換え回路においては、書き込みクロックに基づいて書き込み制御回路で生成された書き込みクロックの周期幅を持つ出力パルスの位相と、読み出しクロックに基づいて読み出し制御回路で生成された読み出しクロックの周期幅を持つ出力パルスの位相とを比較しているため、これら出力パルスが少しでも重複していれば同相としてリセットがかかる。すなわち、同相と判断される位相関係が広く、リセットがかかるまでの位相余裕が大きくていけない。そのため、リセットがかかる回数が多くなり易く、これを回避しようとするレジスタの容量（段数）を多くし、リセットされた場合等の書き込み系及び読み出し系の位相差を大きくして次に同相と判断されることの出現率を低めるようにしている。

【0008】 本発明は、以上の点を考慮してなされたものであり、リセットがかかるまでの位相余裕を大きくで

き、レジスタの容量（段数）を低減可能なクロック乗せ換え回路を提供しようとしたものである。

【0009】

【課題を解決するための手段】かかる課題を解決するため、請求項1の本発明においては、書き込み制御手段が書き込みクロックに基づいて生成した書き込み制御信号によって入力データをレジスタに書き込むと共に、読み出し制御手段が読み出しクロックに基づいて生成した読み出し制御信号によってレジスタからデータを読み出してクロック乗せ換えを行なうものであって、位相比較手段が、書き込み制御信号及び読み出し制御信号の位相関係を比較し、その位相関係が所定の位相関係のときに書き込み制御手段又は読み出し制御手段の一方をリセットするクロック乗せ換え回路において、位相比較手段が、書き込みクロック又は読み出しクロックに同期したそのクロックの整数倍の周波数を有する位相比較クロックに基づいて、書き込み制御信号及び読み出し制御信号の位相関係を比較することを特徴とする。

【0010】請求項2の本発明は、請求項1の本発明において、レジスタの前段側にシリアル／パラレル変換手段を備え、このシリアル／パラレル変換手段に与える入力用シリアルクロックを、位相比較手段が位相比較クロックとして用いることを特徴とする。

【0011】請求項3の本発明は、請求項1の本発明において、レジスタの後段側にパラレル／シリアル変換手段を備え、このパラレル／シリアル変換手段に与える出力用シリアルクロックを、位相比較手段が位相比較クロックとして用いることを特徴とする。

【0012】請求項4の本発明は、書き込み制御手段が書き込みクロックに基づいて生成した書き込み制御信号によって入力データをレジスタに書き込むと共に、読み出し制御手段が読み出しクロックに基づいて生成した読み出し制御信号によってレジスタからデータを読み出してクロック乗せ換えを行なうものであって、位相比較手段が、書き込み制御信号及び読み出し制御信号の位相関係を比較し、その位相関係が所定の位相関係のときに書き込み制御手段又は読み出し制御手段の一方をリセットするクロック乗せ換え回路において、位相比較手段が、書き込み制御信号又は読み出し制御信号の一方が所定の位相状態にあるとき、書き込みクロック及び読み出しクロックの周期より十分に小さいパルス幅を有する検出パルスを形成する検出パルス形成部と、この検出パルスに基づいて、書き込み制御信号又は読み出し制御信号の他方が所定の位相状態にあることを判定して書き込み制御手段又は読み出し制御手段の一方をリセットさせる位相関係判定部とからなることを特徴とする。

【0013】

【作用】請求項1～4の本発明はいずれも、書き込み制御手段が書き込みクロックに基づいて生成した書き込み制御信号によって入力データをレジスタに書き込むと共に

に、読み出し制御手段が読み出しクロックに基づいて生成した読み出し制御信号によってレジスタからデータを読み出してクロック乗せ換えを行なうものであって、位相比較手段が、書き込み制御信号及び読み出し制御信号の位相関係を比較し、その位相関係が所定の位相関係のときに書き込み制御手段又は読み出し制御手段の一方をリセットするクロック乗せ換え回路に関するものである。

【0014】請求項1～4の本発明はいずれも、書き込み制御信号及び読み出し制御信号の狭い期間同士で、位相比較手段がこれら書き込み制御信号及び読み出し制御信号の位相を比較し、リセットに対する位相余裕を大きくしようとした考え方に従うものである。

【0015】請求項1の本発明は、位相比較手段が、書き込みクロック又は読み出しクロックに同期したそのクロックの整数倍の周波数を有する位相比較クロックに基づいて、書き込み制御信号及び読み出し制御信号の位相関係を比較することで、書き込み制御信号及び読み出し制御信号の狭い期間同士での位相比較を実現した。

【0016】ところで、クロック乗せ換え回路としては、入出力共にシリアルデータのもの、入出力共にパラレルデータのもの他、入力がシリアルデータ、出力がパラレルデータのものもあり、入力がパラレルデータ、出力がシリアルデータのものもある。

【0017】請求項2の本発明は、入力がシリアルデータ、出力がパラレルデータのものに関し、特に、レジスタの前段側にシリアル／パラレル変換手段を備えるものに関する。この場合には、レジスタのアクセス速度を規定するクロックの他に、既に高速なクロックである入力用シリアルクロックが存在するので、位相比較手段が位相比較クロックとしてこれを用いることとした。

【0018】請求項3の本発明は、入力がパラレルデータ、出力がシリアルデータのものに関し、特に、レジスタの後段側にパラレル／シリアル変換手段を備えるものに関する。この場合には、レジスタのアクセス速度を規定するクロックの他に、既に高速なクロックである出力用シリアルクロックが存在するので、位相比較手段が位相比較クロックとしてこれを用いることとした。

【0019】請求項4の本発明は、位相比較手段を、書き込み制御信号又は読み出し制御信号の一方が所定の位相状態にあるとき、書き込みクロック及び読み出しクロックの周期より十分に小さいパルス幅を有する検出パルスを形成する検出パルス形成部と、この検出パルスに基づいて、書き込み制御信号又は読み出し制御信号の他方が所定の位相状態にあることを判定して書き込み制御手段又は読み出し制御手段の一方をリセットさせる位相関係判定部とで構成することで、リセットに対する位相余裕を大きくできる、書き込み制御信号及び読み出し制御信号の狭い期間同士での位相比較を実現した。

【0020】

【実施例】(A) 第1実施例

以下、本発明によるクロック乗せ換え回路の第1実施例を図面を参照しながら詳述する。

【0021】ここで、図1がこの第1実施例のクロック乗せ換え回路10の全体構成を示すものであり、図2はその位相比較回路14の詳細構成を示すものであり、図3は位相比較回路14における各部タイミングチャートである。

【0022】図1において、クロック乗せ換え回路10は、レジスタ11、書き込み制御回路12、読み出し制御回路13、位相比較回路14及びフリップフロップ回路(D型フリップフロップ回路)15から構成されている。

【0023】レジスタ11は、入力データが与えられるものであり、後述する書き込み制御回路12からの有意な書き込みパルス W_i (i は0~ m のいずれか)に従って所定エリア i に対するデータの書き込みを行ない、後述する読み出し制御回路13からの有意な読み出しパルス R_i に従って所定エリア i からのデータの読み出しを行ない、読み出したデータをフリップフロップ回路15に与える。

【0024】なお、後述するように、この実施例の場合、レジスタ11のエリア数(段数) $m+1$ は、従来より少なくなくて構わない。

【0025】書き込み制御回路12には入力データに同期した書き込みクロックとこの書き込みクロックの整数倍(例えば2倍)の周波数を有する位相比較クロックとが与えられ、書き込み制御回路12は、書き込みクロックが与えられる毎に、位相比較クロックの周期をパルス幅とする有意な書き込みパルス W_i を変更させる。例えば、有意な書き込みパルス $W_0 \sim W_m$ を巡回的に変更させる。このような書き込みパルス W_0 、 \dots 、 W_m が上述したようにレジスタ11に与えられる。また、ある1種類の書き込みパルス(ここではパルス W_m としている)は位相比較回路14に与えられる。

【0026】書き込み制御回路12は、後述する位相比較回路14からリセットパルスが与えられたときにはリセットされる。

【0027】読み出し制御回路13には、当該クロック乗せ換え回路10からの出力データを用いる構成部分でのクロックが読み出しクロックとして与えられ、読み出し制御回路13は、読み出しクロックが与えられる毎に、読み出しクロックの周期幅を有する有意な読み出しパルス R_i を変更させる。例えば、書き込みパルス $W_0 \sim W_m$ の変更順序と同様に、有意な読み出しパルス $R_0 \sim R_m$ を巡回的に変更させる。このような読み出しパルス R_0 、 \dots 、 R_m が上述したようにレジスタ11に与えられる。また、位相比較回路14に与えられる書き込みパルス W_m が規定しているレジスタ11のエリア m に係る読み出しパルス R_m は、位相比較回路14に与えられ

る。

【0028】位相比較回路14は、図2に示すような詳細構成を有し、書き込みクロックの整数倍(2倍以上)の周波数を有する位相比較クロックに基づいて、書き込み制御回路12から与えられる書き込みパルス W_m 及び読み出し制御回路13から与えられる読み出しパルス R_m 間の位相比較を行ない、すなわち、レジスタ11の書き込み位相と読み出し位相との比較を行ない、これら位相がほぼ同相の場合に、書き込み制御回路12にリセットパルスを与えるものである。

【0029】フリップフロップ回路15はラッチ回路として設けられており、レジスタ11から読み出された出力データを読み出しクロックでラッチして、次段の回路に与えるものである。

【0030】従って、この第1実施例のクロック乗せ換え回路10の全体は、以下のように動作する。

【0031】書き込み制御回路12が書き込みクロックに基づいて生成した書き込みパルス W_i によって入力データをレジスタ11に書き込むと共に、読み出し制御回路13が読み出しクロックに基づいて生成した読み出しパルス R_i によってレジスタ11からデータを読み出すことでクロック乗せ換えを行ない、乗せ換えたデータをフリップフロップ回路15でラッチして次段の回路に引き渡す。また、位相比較回路14が、書き込み制御回路12の書き込みパルス W_m 及び読み出し制御回路13の読み出しパルス R_m の位相関係を、高周波の位相比較クロックに基づいて比較し、その位相関係がほぼ同相のときに書き込み制御回路12をリセットしてスリップ等を未然に防止する。

【0032】以上のような構成を有して以上のような動作を行なう第1実施例のクロック乗せ換え回路10は、従来回路と比較して、位相比較回路14が書き込みパルス W_m 及び読み出しパルス R_m の位相関係を、高周波の位相比較クロックに基づいて比較している点が最も異なっている。すなわち、位相比較対象の信号以外の位相比較クロックを位相比較回路14に与えて動作させている点が従来とは異なっている。

【0033】そこで、以下、位相比較回路14の詳細構成及び動作を図2及び図3を参照して説明する。

【0034】位相比較回路14は、上述のように、入力データのレジスタ11への書き込みと読み出しが同時に行なわれることによるデータ誤りを防ぐもので、書き込みのタイミングと読み出しのタイミングを比較し、両タイミングがある時間以内に近づくトリセットパルスを出力するものである。

【0035】図2において、位相比較回路14は、立ち下がり検出回路20、ラッチ用フリップフロップ回路26及びアンド回路27から構成されている。

【0036】立ち下がり検出回路20は、ラッチ用(D型)フリップフロップ回路21及び22と、インバータ

回路23及び24と、アンド回路25とからなる。立ち下がり検出回路20において、読み出しパルス R_m はフリップフロップ回路21に入力され、インバータ回路23を介することで反転された位相比較クロックによってラッチされる。このラッチ出力は、反転された位相比較クロックによってフリップフロップ回路22でさらにラッチされてアンド回路25に与えられる一方、インバータ回路24を介して反転されてアンド回路25に与えられる。かくして、アンド回路25からは、図3(b)に示す読み出しパルス R_m の立ち下がりエッジで検出した、位相比較クロックの周期をパルス幅とする図3(e)に示す検出パルスが得られ、アンド回路27に出力される。

【0037】図3(a)に示す書き込みパルス W_m は、ラッチ用フリップフロップ回路26に与えられ、図3(c)に示す位相比較クロックに基づいてラッチされ、位相比較クロックの周期をパルス幅とする図3(d)に示すラッチパルスが得られ、これがアンド回路27に出力される。

【0038】これにより、読み出しパルス R_m の立ち下がりエッジで検出した検出パルスと、書き込みパルス W_m を位相比較クロックでラッチしたラッチパルスとが共に論理“1”のとき、読み出しパルス R_m 及び書き込みパルス W_m がほぼ同相として、図3(f)に示すリセットパルスがアンド回路27から上述した書き込み制御回路12に出力される。

【0039】すなわち、図3に示すほぼ同相の位相関係の場合、読み出しパルス R_m は、位相比較クロックの立ち下がりタイミングである時刻 \dots 、 t_a 、 t_b …でサンプリングされ、これら相前後するサンプリング時刻 t_a 、 t_b 間の時刻 t_0 で、書き込みパルス W_m が論理“1”であるので、時刻 t_b からほぼ同相を指示するリセットパルス（パルス幅は位相比較クロックの周期の1/2）が出力される。

【0040】以上のように、上記第1実施例によれば、書き込みタイミングと読み出しタイミングの時間間隔（位相関係）を、書き込みクロックより高速の位相比較クロックを用いて判断してリセットをかけるようにしたので、従来のクロック乗せ換え回路よりリセットをかける（同相と判断する）時間間隔を狭く設定でき、すなわち、リセット直後における位相余裕を大きくすることができる。言い換えると、レジスタ11の容量（段数）が少なくとも、リセットがかかる回数を少なくできる。

【0041】なお、この第1実施例の変形実施例としては、(1)位相比較回路14の立ち下がり検出回路14内のフリップフロップ回路（21、22）の段数を任意段数に増やしてリセットをかける時間間隔を任意間隔に増大させたものや、(2)読み出しクロックに同期した読み

出しクロックの n 倍の周波数のクロックを位相比較クロックに用いたものや、(3)レジスタ11の異なるエリア（接近していることは必要である）に係る書き込みパルス W_i 及び読み出しパルス R_j との位相比較を行なうもの等を挙げることができる。

【0042】(B)第2実施例

次に、本発明によるクロック乗せ換え回路の第2実施例を図面を参照しながら詳述する。ここで、図4がこの第2実施例のクロック乗せ換え回路30の構成を示すものであり、上述した図1との同一、対応部分には対応符号を付して示している。

【0043】上記第1実施例のクロック乗せ換え回路10は、クロック乗せ換え前後のデータが共にシリアルデータ（又はパラレルデータ）であるものであったが、この第2実施例のクロック乗せ換え回路30は、入力されたシリアルデータを当該回路30からパラレルデータとして出力するものであり、当然にクロック乗せ換え動作も実行するものである。

【0044】例えば、伝送路クロックに同期したシリアルデータを、装置内にパラレルデータとして取り込む伝送装置に設けられるクロック乗せ換え回路に、この第2実施例のクロック乗せ換え回路を適用できる。

【0045】図4において、この第2実施例のクロック乗せ換え回路30は、シリアル/パラレル変換回路31が新たに設けられている点、乗せ換え用レジスタ11A及び出力ラッチ用フリップフロップ回路15Aがパラレルデータ対応になっている点等が、上記第1実施例のクロック乗せ換え回路10と異なっている。

【0046】シリアル/パラレル変換回路31には、入力シリアルデータ及びこの入力シリアルデータに同期したシリアルクロックが入力される。シリアル/パラレル変換回路31は、入力されたシリアルデータをシリアルクロックに従ってパラレルデータに変換してレジスタ11Aに出力すると共に、内部でシリアルデータを分周してパラレルデータに同期したクロック（書き込みクロック）を形成して書き込み制御回路12Aに与える。

【0047】シリアル/パラレル変換回路31から出力されたパラレルデータが書き込み制御回路12Aからの書き込みパルス W_i に従ってレジスタ11Aに書き込まれ、また、レジスタ11Aに格納されたパラレルデータが読み出し制御回路13からの読み出しパルス R_i に従って読み出されてフリップフロップ回路15Aにラッチされる動作は、レジスタ11A及びフリップフロップ回路15Aがパラレルデータを処理する点を除き、上記第1実施例とほぼ同一である。

【0048】なお、シリアルクロックは、当然に書き込みクロック及び読み出しクロックの整数倍（パラレルデータのビット数倍）の周波数を有するものである。

【0049】また、位相比較回路14Aによる動作も、位相比較クロックとしてシリアルクロックがそのまま与

えられる点を除き、第1実施例とほぼ同一である。すなわち、位相比較回路14Aは、データのレジスタ11Aへの書き込みと読み出しが同時に行なわれることによるデータ誤りを防ぐため、シリアルクロック（位相比較クロック）に基づいて、書き込み制御回路12Aから与えられる書き込みパルス W_m 及び読み出し制御回路13Aから与えられる読み出しパルス R_m 間の位相比較を行ない、これら位相がほぼ同相の場合に書き込み制御回路12Aにリセットパルスを与えてリセットさせる。

【0050】従って、位相比較回路14Aとして、第1実施例と同様な詳細構成（図2参照）を有して同様な処理（図3参照）を行なうものを適用できる。

【0051】以上のように、入力がシリアルデータで出力がパラレルデータという点が第1実施例とは異なっているが、この第2実施例によっても、書き込みタイミングと読み出しタイミングの時間間隔（位相関係）を、レジスタ11Aの書き込みタイミングに係る書き込みクロックより高速のクロック（シリアルクロック）を用いて判断して書き込み制御回路12Aにリセットをかけるようにしたので、従来のクロック乗せ換え回路よりリセットをかける時間間隔を狭く設定でき、すなわち、リセット直後における位相余裕を大きくすることができる。

【0052】なお、入力がシリアルデータで出力がパラレルデータのクロック乗せ換え回路としては、第2実施例の他に、レジスタの後段側にシリアル／パラレル変換回路を設けるものが考えられるが、レジスタの動作速度が高速となるので、第2実施例の構成が好ましい。

【0053】（C）第3実施例

次に、本発明によるクロック乗せ換え回路の第3実施例を図面を参照しながら詳述する。ここで、図5がこの第3実施例のクロック乗せ換え回路40の構成を示すものであり、上述した図1との同一、対応部分には同一符号を付して示している。

【0054】上記第1実施例のクロック乗せ換え回路10は、クロック乗せ換え前後のデータが共にシリアルデータ（又はパラレルデータ）であるものであったが、この第3実施例のクロック乗せ換え回路40は、入力されたパラレルデータを当該回路40からシリアルデータとして出力するものであり、当然にクロック乗せ換え動作も実行するものである。

【0055】例えば、伝送装置内で処理して得た所定クロックに同期しているパラレルデータを、伝送路にシリアルデータとして出力する伝送装置に設けられるクロック乗せ換え回路には、この第3実施例のクロック乗せ換え回路を適用できる。

【0056】図5において、この第3実施例のクロック乗せ換え回路40は、パラレル／シリアル変換回路41が新たに設けられている点や、位相比較回路14Bによるリセット対象が読み出し制御回路13Bである点等が、上記第1実施例のクロック乗せ換え回路10と異なる

っている。

【0057】この第3実施例の書き込み制御回路12Bには、入力パラレルデータに同期した書き込みクロックが与えられ、書き込み制御回路12Bは、書き込みクロックが与えられる毎に、その周期をパルス幅とする有意な書き込みパルス W_i を変更させてレジスタ11Bに与える。これにより、入力パラレルデータはレジスタ11Bに格納される。

【0058】読み出し制御回路13Bには、当該クロック乗せ換え回路40から出力されるシリアルデータの同期用シリアルクロックと、後述するパラレル／シリアル変換回路41から出力された読み出しクロックとが入力され、読み出し制御回路13Bは、読み出しクロックが与えられる毎に、シリアルクロックの周期をパルス幅とする有意な読み出しパルス R_i を変更させてレジスタ11Bに与える。これにより、レジスタ11Bのエリア i に格納されているパラレルデータが読み出され、フリップフロップ回路15Bによってシリアルクロックに基づいてラッチされる。

【0059】この第3実施例の場合、フリップフロップ回路15Bにラッチされたデータが当該クロック乗せ換え回路40からの出力データとはならず、このラッチされたパラレルデータはパラレル／シリアル変換回路41に与えられる。パラレル／シリアル変換回路41には、上述したシリアルクロックが入力される。パラレル／シリアル変換回路41は、内部でこのシリアルクロックをパラレル度に応じて分周し、その分周クロックで入力されたパラレルデータを取り込み、シリアルクロックに基づいてシリアルデータに変換して出力する。分周クロックは、上述のように、読み出しクロックとして読み出し制御回路13Bに与えられる。

【0060】位相比較回路14Bには、書き込み制御回路12Bからの書き込みパルス W_m と、読み出し制御回路13Bからの読み出しパルス R_m と、シリアルクロックとが与えられ、シリアルクロックに基づいて、書き込みパルス W_m 及び読み出しパルス R_m 間の位相比較を行ない、これら位相がほぼ同相の場合に、読み出し制御回路13Bにリセットパルスを与える。

【0061】この第3実施例の場合、位相比較に供する高速クロックが読み出し系に関するものであるため、読み出し制御回路13Bをリセットするようにしている。

【0062】そのため、位相比較回路14Bは、図6に示すように、第1実施例の位相比較回路14とほぼ同様な構成を有するが、立ち下がり検出回路20Bに書き込みパルス W_m を入力し、読み出しパルス R_m をフリップフロップ回路26Bにラッチさせるようにしている点が第1実施例とは異なっている。

【0063】以上のように、入力パラレルデータで出力がシリアルデータという点が第1実施例とは異なっているが、この第3実施例によっても、書き込みタイミン

グと読み出しタイミングの時間間隔（位相関係）を、レジスタ11Bの読み出しクロックより高速のクロック（シリアルクロック）を用いて判断して読み出し制御回路13Bにリセットをかけるようにしたので、従来のクロック乗せ換え回路よりリセットをかける時間間隔を狭く設定でき、すなわち、リセット直後における位相余裕を大きくすることができる。

【0064】なお、入力パラレルデータで出力がシリアルデータのクロック乗せ換え回路としては、第3実施例の他に、レジスタの前段側にパラレル／シリアル変換回路を設けるものが考えられるが、レジスタの動作速度が高速となるので、第3実施例の構成が好ましい。

【0065】（D）第4実施例
次に、本発明によるクロック乗せ換え回路の第4実施例を図面を参照しながら説明する。

【0066】この第4実施例は、外部から高速クロックが与えられないクロック乗せ換え回路に関する。例えば、図1に示した第1実施例のクロック乗せ換え回路構成において、外部から位相比較クロックが入力されないクロック乗せ換え回路に関する。従って、位相比較回路14Cの構成が第1実施例とは異なっている。

【0067】そこで、第4実施例については、位相比較回路14Cの構成及び動作について説明する。

【0068】この第4実施例の位相比較回路14Cは、書き込みパルス W_m 及び読み出しパルス R_m をあたかも高速の位相比較クロックに基づいて位相比較したと同様な位相比較を行なうものである。すなわち、書き込みパルス W_m 及び読み出しパルス R_m の狭い期間同士で位相を比較するものである。

【0069】位相比較回路14Cは、書き込みパルス W_m の立ち下がりを検出する第1の立ち下がり検出回路（検出パルス形成部）50と、読み出しパルス R_m 立ち下がりを検出する第2の立ち下がり検出回路（位相関係判定部）60とでなる。

【0070】第1の立ち下がり検出回路50は、書き込みパルス W_m を2個のインバータ回路51及び52を介してアンド回路53に与え、また、書き込みパルス W_m を1個のインバータ回路54を介してアンド回路53に与えることで、書き込みパルス W_m の立ち下がりエッジを検出し、インバータ回路（51、52、54）の伝搬遅延時間をパルス幅とする検出パルスを得て、第2の立ち下がり検出回路60に出力するものである。

【0071】第2の立ち下がり検出回路60においては、読み出しパルス R_m を、第1の立ち下がり検出回路50からの検出パルスに基づいてラッチ回路61でラッチしてアンド回路62に与え、また、読み出しパルス R_m を、第1の立ち下がり検出回路50からの検出パルスと2個のインバータ回路63及び64を介して遅延させたパルスに基づいてラッチ回路65でラッチし、インバータ回路66を介して反転させてアンド回路62に与え

る。従って、読み出しパルス R_m の立ち下がりエッジのインバータ回路による伝搬遅延時間程度の前後期間に、書き込みパルス W_m の立ち下がり検出パルスが位置していると、両ラッチ回路61及び65からの出力論理が異なり、その結果、アンド回路62から有意なパルスが出力され、これがリセットパルスとして例えば図示しない書き込み制御回路に与えられる。

【0072】従って、この第4実施例によっても、位相比較される書き込みパルス及び読み出しパルスより十分に狭い期間で同相か否かの判断を行ない、リセットパルスを得るようにしているので、従来のクロック乗せ換え回路よりリセットをかける時間間隔を狭く設定でき、すなわち、リセット直後における位相余裕を大きくすることができる。

【0073】なお、第4実施例の変形実施例としては、第1の立ち下がり検出回路50に読み出しパルスを入力し、第2の立ち下がり検出回路60に書き込みパルスを入力するものを挙げることができる。また、遅延機能をも担うインバータ回路の段数を図7より多くしたものを挙げることができる。

【0074】（E）他の実施例
上記実施例の説明においても、他の実施例を示したが、これ以外にも以下のような他の実施例を挙げることができる。

【0075】上記実施例においては、書き込みパルスや読み出しパルスによってアクセスエリアが規定されるレジスタを有するものを示したが、書き込みアドレスや読み出しアドレスによってアクセスエリアが規定されるレジスタ（メモリ）を有するものにも本発明を適用でき、この場合には、アドレスデコードを設けてアドレスをデコードして得たパルスを位相比較回路に与えるようにすれば良い。

【0076】

【発明の効果】以上のように、本発明によれば、位相比較手段に比較対象の2個の信号以外に高速の位相比較クロックを与えたり、位相比較される一方の信号が所定の位相状態にあるときに狭いパルス幅の検出パルスを生成しこの狭パルス幅の検出パルスに従って他方の信号の位相を判定したりするようにしたので、位相比較対象の2個の信号において位相比較に供する期間を狭くでき、リセットがかかるまでの位相余裕を大きくでき（位相吸収能力を高くでき）、レジスタの容量（段数）も低減可能にできる。

【図面の簡単な説明】

【図1】第1実施例の全体構成を示すブロック図である。

【図2】第1実施例の位相比較回路の詳細構成を示すブロック図である。

【図3】図2の各部タイミングチャートである。

【図4】第2実施例の全体構成を示すブロック図であ

る。

【図5】第3実施例の全体構成を示すブロック図である。

【図6】第3実施例の位相比較回路の詳細構成を示すブロック図である。

【図7】第4実施例の位相比較回路の詳細構成を示すブロック図である。

【符号の説明】

10、30、40 クロック乗せ換え回路、
11、11A、11B レジスタ、

12、12A、12B

13、13A、13B

14、14A、14B、14C

31

換回路、

41

換回路、

50

(検出パルス形成部)

60

(位相関係判定部)

書き込み制御回路、

読み出し制御回路、

位相比較回路、

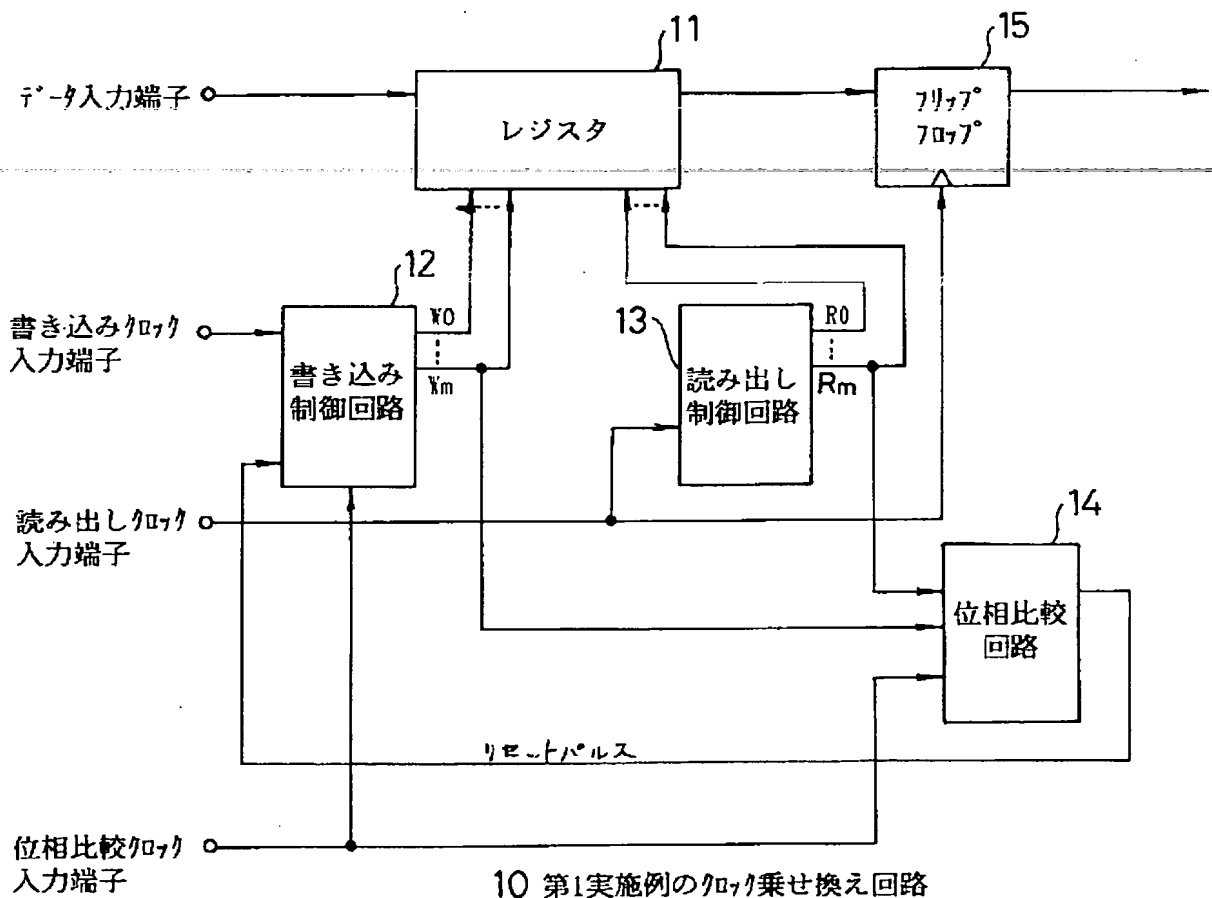
シリアル／パラレル変

換回路、

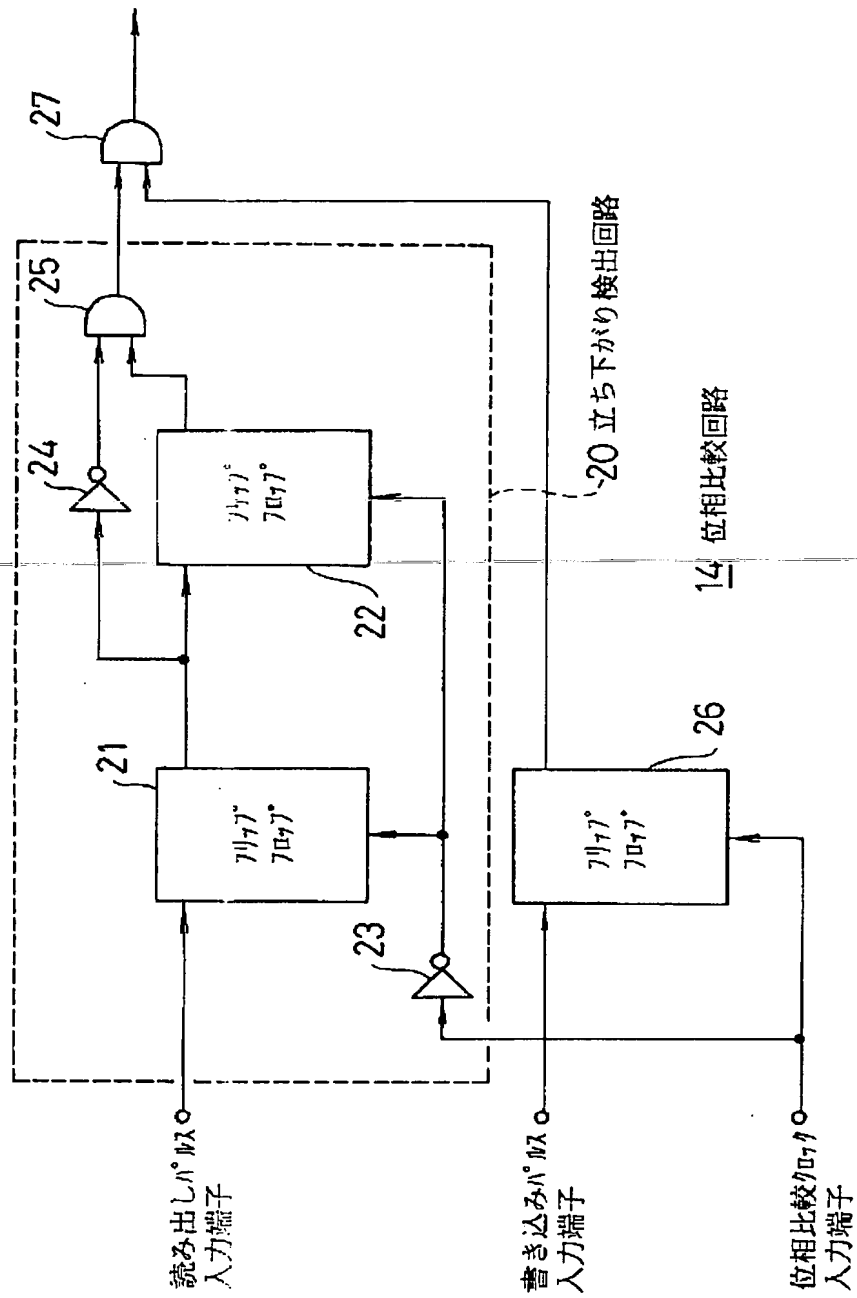
立ち下がり検出回路

立ち下がり検出回路

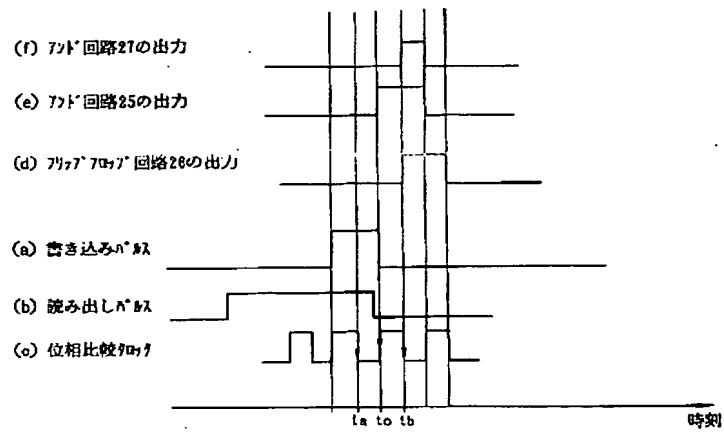
【図1】



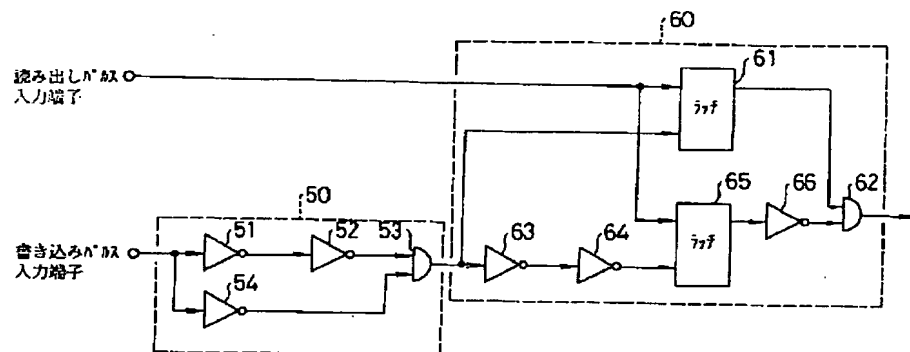
【図 2】



【図3】

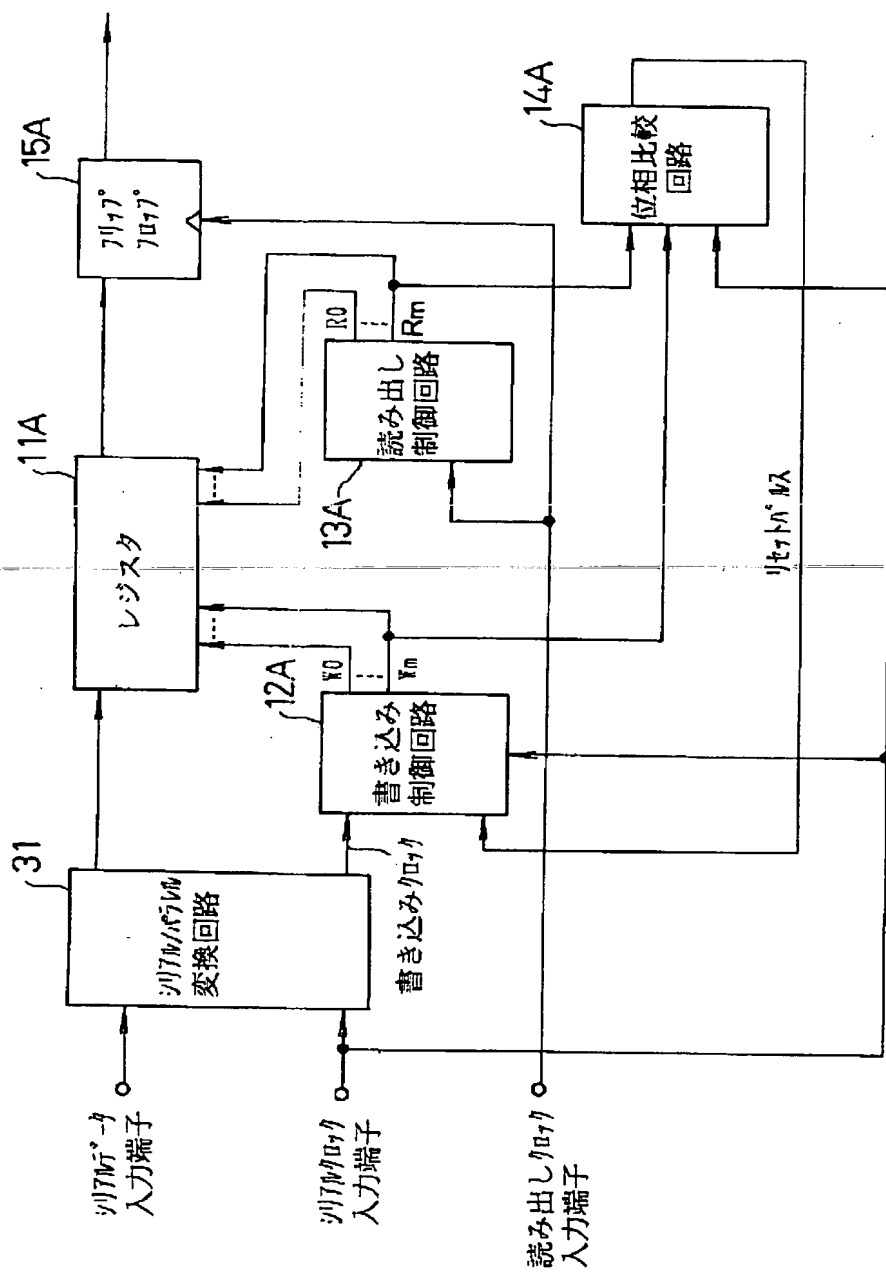


【図7】



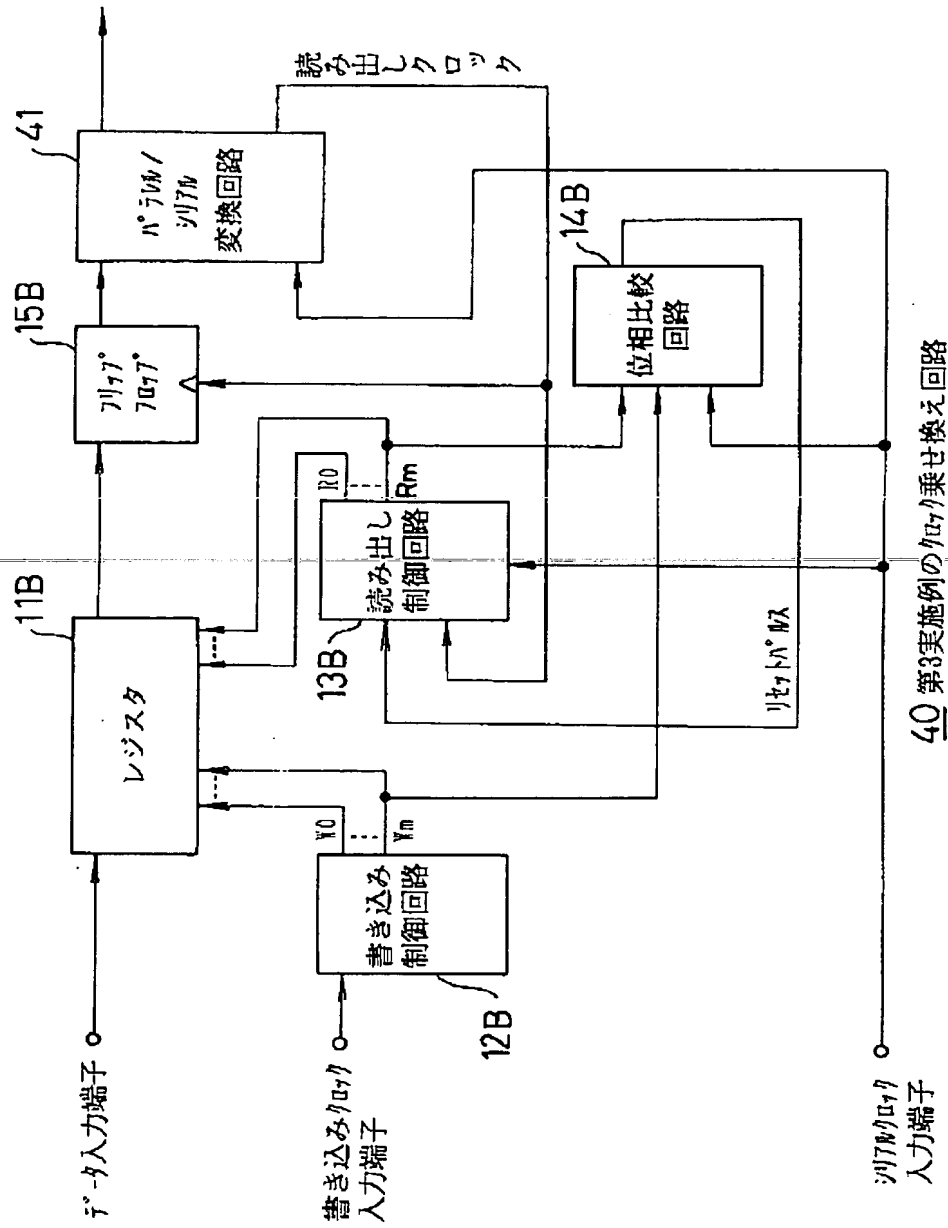
14C 第4実施例の位相比較回路

【図4】



30 第2実施例のレジスタ置き換え回路

【図5】



40 第3実施例のクロック乗せ換え回路

【図6】

